

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Patentschrift  
10 DE 100 36 911 C 2

51 Int. Cl. 7:  
H 01 L 21/8247  
H 01 L 27/115

21 Aktenzeichen: 100 36 911.1-33  
22 Anmeldetag: 28. 7. 2000  
43 Offenlegungstag: 14. 2. 2002  
45 Veröffentlichungstag  
der Patenterteilung: 6. 6. 2002

DE 100 36 911 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:  
Infineon Technologies AG, 81669 München, DE

74 Vertreter:  
Epping, Hermann & Fischer, 80339 München

72 Erfinder:  
Hofmann, Franz, Dr., 80995 München, DE; Willer,  
Josef, Dr., 85521 Riemerling, DE

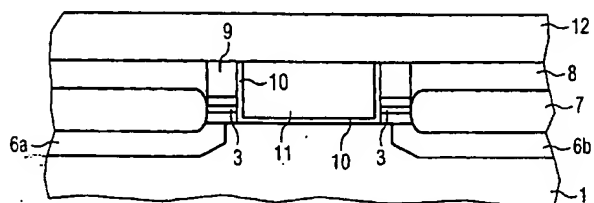
56 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

US	59 69 383 A
US	58 77 523 A
US	57 96 140 A
JP	00-58 680 A

54 Verfahren zur Herstellung einer Multi-Bit-Speicherzelle

57 Verfahren zur Herstellung einer Speicherzelle, bei dem ein Source-Bereich (6a) und ein Drain-Bereich (6b) als dotierte Bereiche in einem Halbleiterkörper (1) oder in einer Schicht aus Halbleitermaterial durch einen Kanalbereich (6) voneinander getrennt ausgebildet werden, über diesen Bereichen eine für das Speichern von Ladungsträgern vorgesehene Speicherschicht (3) zwischen Begrenzungsschichten (2, 4) angeordnet wird, die Speicherschicht (3) mit Ausnahme von Bereichen, die sich an der Grenze zwischen dem Kanalbereich (6) und dem Source-Bereich (6a) bzw. der Grenze zwischen dem Kanalbereich (6) und dem Drain-Bereich (6b) befinden, entfernt wird, so dass die Speicherschicht (3) über Anteilen des Source-Bereiches (6a) und des Drain-Bereiches (6b) vorhanden und über dem Kanalbereich (6) unterbrochen ist, eine Gate-Elektrode (11) von dem Halbleitermaterial durch eine dielektrische Schicht (10) getrennt aufgebracht wird sowie freie Ränder der Speicherschicht (3) in Material eingebettet werden, das dem Material der Begrenzungsschichten (2, 4) gleichartig ist, dadurch gekennzeichnet, dass in einem ersten Schritt auf einem Halbleiterkörper (1) oder einer Schicht aus Halbleitermaterial eine Schichtfolge aus einer unteren Oxidschicht (2), einer Speicherschicht (3) und einer oberen Oxidschicht (4) hergestellt wird, in einem zweiten Schritt die obere Oxidschicht (4) und die Speicherschicht (3) außerhalb eines für eine Speicherzelle vorgesehenen Bereichs entfernt werden, in einem dritten Schritt eine für den Source-Bereich (6a) und den Drain-Bereich (6b) vorgesehene Implantation von Dotierstoff in das Halbleitermaterial vorgenommen wird, in einem vierten Schritt außerhalb des von der Speicherschicht (3) eingenommenen Bereichs eine Hilfsschicht (8) hergestellt wird, die im Bereich der Speicherschicht (3) eine Aussparung mit für den nachfolgenden fünften Schritt ausreichend steilen Flanken aufweist, in einem fünften Schritt in der Aussparung an den Flanken der Hilfsschicht (8) Distanzelemente (9) hergestellt werden, in einem sechsten Schritt zwischen den Distanzelementen (9) die obere Oxidschicht (4), die Speicherschicht (3)

und die untere Oxidschicht (2) entfernt werden und die dielektrische Schicht (10) und die Gate-Elektrode (11) hergestellt und strukturiert werden und in einem siebten Schritt eine Leiterbahn (12) mit elektrisch leitender Verbindung zu der Gate-Elektrode (11) aufgebracht wird.



BUNDESDRUCKEREI 04.02 202 230/81/9

DE 100 36 911 C 2

[0001] Die vorliegende Erfindung betrifft Herstellungsverfahren für eine Multi-Bit-Speicherzelle mit selbstjustierten ONO-Gebieten.

[0002] In der US 5,768,192 A wird ein nichtflüchtiger Speicher beschrieben, bei dem Elektronen jeweils an Source oder Drain in einer Speicherschicht eingefangen sind. Diese eingefangenen (trapped) Elektronen bestimmen die Einsatzspannung des Transistors, der als SONOS-Transistor (Semiconductor-Oxide-Nitride-Oxide-Semiconductor) ausgebildet ist. Das Vorhandensein einer Ladung jeweils an Source oder Drain kann als ein gespeichertes Bit interpretiert werden, so dass in einer derartigen Zelle zwei Bits gespeichert werden können. Zum Programmieren werden im Kanal heiße Ladungsträger erzeugt; diese Elektronen werden nahe dem Drain-Bereich aus dem Halbleitermaterial in die Speicherschicht injiziert. Dazu wird eine Potenzialdifferenz von typisch 5 V an eine über das Gate in Richtung von Source nach Drain verlaufende Wortleitung angelegt. Der Source-Bereich selbst wird auf 0 V, der Drain-Bereich als Bitleitung auf 5 V gelegt. Durch eine Umkehrung der angelegten Spannung können Ladungen auch im Source-Bereich eingefangen werden. Eine Potenzialdifferenz von typisch 1,2 V zwischen Source und Drain und eine Gatespannung zwischen der Einsatzspannung im unprogrammierten Zustand und der Einsatzspannung im programmierten Zustand ermöglichen das Lesen des auf der Source-Seite gespeicherten Bit. Ein deutlich negatives Potenzial am Gate und z. B. 5 V an Drain (Wortleitung fast stromlos) ermöglicht das Löschen, indem die eingefangenen Ladungsträger in den gegen Masse positiven Source- bzw. Drain-Bereich zurückgedrängt werden (GIDL, gate-induced drain leakage).

[0003] In einem hochintegrierten Speicher beträgt der Abstand von Source zu Drain heute nur noch 150 nm. Bei einer Lagerung der Speicherchips unter ungünstigen Bedingungen (insbesondere hohe Temperaturen, typisch 85°C, die z. B. im Auto erreicht werden können) kann die Anzahl problemlos durchführbarer Lade-/Entladezyklen (Dauerleistung, endurance) reduziert werden, wenn die eingefangenen Ladungsträger nicht mehr ausreichend in dem dielektrischen Nitrid lokalisiert bleiben. Ein getrenntes Auslesen der gespeicherten Bits an Source und Drain ist dann erschwert.

[0004] In der US 5,877,523 A ist eine Multi-Level-Split-Gate-Flash-Speicherzelle beschrieben, bei der eine Oxidschicht und, eine als Speicherschicht vorgesehene Polysiliziumschicht aufgebracht und zur Ausbildung von Floating-Gate-Elektroden in zwei Anteile strukturiert werden. Die verbleibenden Anteile werden mit einer Dielektrikumschicht bedeckt. Darauf wird eine leitfähige Schicht aufgebracht, die zu einer Gate-Elektrode strukturiert wird. Implantationen von Dotierstoff zur Ausbildung von Source und Drain schließen sich an.

[0005] In der US 5,969,383 A ist ein Split-Gate-Speicherbauelement beschrieben, bei dem über einem Anteil des Kanalbereiches und über einem Anteil des Drain-Bereiches je eine Schichtfolge aus Siliziumdioxid, Siliziumnitrid und Siliziumdioxid vorhanden ist, von denen diejenige über dem Kanal mit einer Kontroll-Gate-Elektrode versehen ist. An dieser Stelle erfolgt die Programmierung der Speicherzelle durch Einfangen von Ladungsträgern in der Siliziumnitridschicht. Über einem restlichen Anteil des Kanalbereiches ist eine Auswahl-Gate-Elektrode angeordnet.

[0006] In der US 5,796,140 A ist ein Verfahren zur Herstellung einer Speicherzelle beschrieben, bei dem Source und Drain als dotierte Bereiche durch einen Kanalbereich voneinander getrennt ausgebildet werden, über diesen Bereichen eine für das Speichern von Ladungsträgern vorgese-

hene Speicherschicht zwischen Begrenzungsschichten angeordnet und darin eingebettet wird, eine Gate-Elektrode von dem Halbleitermaterial durch eine dielektrische Schicht getrennt aufgebracht wird, wobei die Speicherschicht mit Ausnahme von Bereichen, die sich an den Grenzen zwischen dem Kanalbereich und dem Source- bzw. Drain-Bereich befinden, entfernt wird.

[0007] In der JP 2000-58680 A ist ein Halbleiterspeicherbauelement angegeben, bei der eine Oxid-Nitrid-Oxid-Schicht auch an den Flanken der Gate-Elektrode aufgebracht ist.

[0008] Aufgabe der vorliegenden Erfindung ist es, Verfahren zur Herstellung einer Multi-Bit-Speicherzelle anzugeben, die eine größere Anzahl von Lade- und Entladezyklen auch unter ungünstigen Bedingungen gewährleistet.

[0009] Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 bzw. 4 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

[0010] Bei der erfindungsgemäß hergestellten Multi-Bit-Speicherzelle ist die für das Einfangen von Ladungsträgern an Source und Drain vorgesehene Speicherschicht auf den an den Kanalbereich angrenzenden Randbereich des Source-Bereiches bzw. Drain-Bereiches begrenzt. Die Speicherschicht ist zwischen Begrenzungsschichten angeordnet und so in Material einer höheren Energiebandlücke eingebettet, dass die Ladungsträger, die in der Speicherschicht jeweils über dem Source-Bereich und über dem Drain-Bereich eingefangen sind, dort lokalisiert bleiben.

[0011] Als Material für die Speicherschicht kommt vorzugsweise ein Nitrid in Frage; als umgebendes Material ist vorrangig ein Oxid geeignet. Bei einer Speicherzelle im Materialsystem von Silizium ist die Speicherzelle in diesem Beispiel Siliziumnitrid mit einer Energiebandlücke von etwa 5 eV, die umgebenden Begrenzungsschichten Siliziumoxid mit einer Energiebandlücke von etwa 9 eV. Die Speicherschicht kann ein anderes Material mit einer kleineren Energiebandlücke als derjenigen der Begrenzungsschichten sein, wobei die Differenz der Energiebandlücken für einen guten elektrischen Einschluss der Ladungsträger (confinement) möglichst groß sein soll. In Verbindung mit Siliziumoxid kann so z. B. Tantalexid, Hafniumsilikat oder intrinsisch leitendes (undotiertes) Silizium als Material der Speicherschicht eingesetzt werden. Siliziumnitrid besitzt eine relative Dielektrizitätszahl von etwa 7,9. Die Verwendung eines alternativen Materials mit einer höheren Dielektrizitätszahl (z. B.  $\approx 15 \dots 18$ ) gestattet eine Verringerung der Gesamtdicke des für die Speicherung vorgesehenen Schichtstapels und ist daher von Vorteil.

[0012] Bei dem Verfahren wird die für das Einfangen der Ladungsträger vorgesehene Speicherschicht außerhalb eines Bereiches über derjenigen Grenze des Source-Bereiches und des Drain-Bereiches, die dem Kanalbereich jeweils zugewandt ist, vollständig entfernt. Danach werden das Gate-Oxid und die Gate-Elektrode bzw. eine als Wortleitung vorgesehene Leiterbahn hergestellt und strukturiert und noch freie Ränder der Speicherschicht in das Material der Begrenzungsschichten, vorzugsweise ein Oxid, eingebettet. Dadurch, dass die Speicherschicht über dem Kanalbereich entfernt wird, besitzt die so hergestellte SONOS-Transistorzelle voneinander getrennte Speicherbereiche über Source und Drain.

[0013] Bei einem besonders bevorzugten Ausführungsbeispiel wird das Gate-Oxid nicht nur auf dem Halbleitermaterial des Kanalbereiches im Substrat hergestellt, sondern auch in vertikaler Richtung an den Flanken der Gate-Elektrode, so dass damit eine zusätzliche elektrische Isolation der daran angrenzenden Speicherschichten bewirkt ist. Die Herstellung einer vertikalen Oxidschicht an den Flanken der

Gate-Elektrode ändert auch die Verteilung des elektrischen Feldes, so dass die heißen Elektronen stärker in Richtung der Speicherschicht beschleunigt und dort eingefangen werden. Die Betriebseigenschaften (performance) der Speicherzelle, insbesondere beim Programmieren, werden dadurch deutlich verbessert.

[0014] Es folgt eine genauere Beschreibung von Beispielen der erfindungsgemäßen Speicherzelle anhand besonders geeigneter Herstellungsverfahren, deren Zwischenprodukte in den Fig. 1 bis 6 bzw. 7 bis 10 im Querschnitt dargestellt sind. Auf einem Chip kann eine Anordnung aus einer Vielzahl derartiger einzelner Speicherzellen hergestellt werden.

[0015] Ein erstes Beispiel für ein erfindungsgemäßes Herstellungsverfahren ist in den Fig. 1 bis 6 dargestellt. In Fig. 1 ist im Querschnitt ein Halbleiterkörper 1 oder eine auf ein Substrat aufgewachsene Schicht oder Schichtstruktur aus Halbleitermaterial gezeichnet. Falls das Halbleitermaterial nicht die gewünschte Grunddotierung aufweist, werden in an sich bekannter Weise so genannte Wannen (z. B. p-Wannen) vorgegebener Leitfähigkeit durch Implantation von Dotierstoff in der erforderlichen Konzentration hergestellt. Weiter zeigt die Fig. 1 eine darauf aufgebrachte untere Oxidschicht 2 (bottom oxide) als untere Begrenzungsschicht, darauf die für das Einfangen von Ladungsträgern vorgesehene Speicherschicht 3 (hier in diesem Beispiel Siliziumnitrid), darauf eine weitere Oxidschicht 4 (top oxide) als obere Begrenzungsschicht und zuoberst eine Hilfsschicht 5, die wesentlich dicker als die vorhergehenden Schichten und vorzugsweise ebenfalls ein Nitrid ist. Mittels einer ersten Fototechnik werden unter Verwendung einer Maske, z. B. aus Fotolack, die Speicherschicht 3, die obere Oxidschicht 4 und die Hilfsschicht 5 in der in Fig. 1 dargestellten Weise strukturiert, so dass sie seitlich auf einen für die Speicherzelle vorgesehenen Bereich begrenzt sind. In der Darstellung der Fig. 1 ist die Maske bereits entfernt.

[0016] Die Hilfsschicht 5 wird dann als Maske verwendet, um die Bereiche von Source 6a und Drain 6b mittels einer Implantation von Dotierstoff in das Halbleitermaterial herzustellen. Bei Verwendung eines p-dotierten Substrates aus Silizium als Halbleiterkörper ist hierfür z. B. Arsen als Dotierstoff geeignet. Es werden außerdem gemäß Fig. 2 die lateralen Oxidschichten 7 hergestellt. Das geschieht am einfachsten, indem das Silizium des Substrates oxidiert wird. Dabei erfährt das Material eine Volumenvergrößerung, so dass sich die Oberfläche der lateralen Oxidschicht 7 oberhalb der Speicherschicht 3 befindet.

[0017] Es kann dann je nach Bedarf noch die weitere Hilfsschicht 8, die z. B. ebenfalls ein Oxid sein kann, seitlich der ersten Hilfsschicht 5 abgeschieden werden. Eine ebene Oberfläche dieser weiteren Hilfsschicht 8 kann beispielsweise mittels CMP (chemical mechanical polishing) hergestellt werden, wobei die gesamte Oberfläche planarisiert wird. Die erste Hilfsschicht 5 wird dann entfernt, was vorzugsweise nasschemisch geschieht, wobei die obere Oxidschicht 4 als Ätzstoppschicht dient. So erhält man die Struktur des in der Fig. 3 dargestellten Zwischenproduktes.

[0018] Es werden dann die in Fig. 4 eingezeichneten Distanzelemente 9 (spacer) in einer an sich bekannten Weise hergestellt. Zu diesem Zweck wird vorzugsweise eine Schicht aus dem für die Distanzelemente vorgesehenen Material mit weitgehend gleichmäßiger Dicke ganzflächig abgeschieden und anschließend anisotrop so rückgeätzt, dass die eingezeichneten Distanzelemente 9 an den inneren Flanken der Hilfsschicht 8 stehen bleiben. Da die Distanzelemente 9 als Bestandteil der später herzustellenden Gate-Elektrode eingesetzt werden können, empfiehlt es sich, als Material für diese Distanzelemente in situ dotiertes Polysilizium abzuscheiden. Die Distanzelemente werden sodann

verwendet, um die obere Oxidschicht 4, die Speicherschicht 3 und die untere Oxidschicht 2 im Bereich zwischen den Distanzelementen wegzuzäten und im Bereich unter den Distanzelementen stehen zu lassen. Die Speicherschicht 3 ist damit bereits auf Bereiche an den Rändern von Source und Drain, die dem Gate zugewandt sind, begrenzt.

[0019] Auf dem Halbleitermaterial des Substrates und an den durch die Distanzelemente gebildeten seitlichen inneren Flanken wird die in Fig. 5 eingezeichnete dielektrische Schicht 10 hergestellt. Das geschieht am einfachsten durch eine oberflächliche Oxidation des Halbleitermaterials, insbesondere bei Verwendung von Silizium. Die Gate-Elektrode 11 wird dann hergestellt bzw. vervollständigt, indem das dafür vorgesehene Material in die Aussparung zwischen den Distanzelementen abgeschieden wird. Bevorzugt wird dafür ebenfalls in situ dotiertes Polysilizium verwendet. Ein erneuter CMP-Schritt dient dazu, die Oberfläche entsprechend der Darstellung der Fig. 5 zu planarisieren.

[0020] In Fig. 6 ist der Querschnitt der Speicherzelle dargestellt für den Zustand nach dem Abscheiden einer Leiterbahn als Anschlusszuleitung 12 für die Gate-Elektrode, die z. B. als Wortleitung für eine Speicherzellenanordnung vorgesehen ist. Diese Leiterbahn ist vorzugsweise ebenfalls dotiertes Polysilizium. Die Strukturierung der Zelle wird dann vervollständigt, indem die in Fig. 6 dargestellte Struktur in den Richtungen senkrecht zur Zeichenebene begrenzt wird. Das geschieht mittels einer weiteren Fototechnik, mit der seitlich der Gate-Elektrode das Material bis auf die obere Oxidschicht 4 herab weggeätzt wird. Anschließend wird die Speicherschicht 3 vorzugsweise nasschemisch weggeätzt. Eine erneute Oxidation dient dazu, die jetzt frei liegenden Ränder der Speicherschicht 3 in Oxid einzubetten. Auch in den beiden Richtungen senkrecht zur Zeichenebene der Fig. 6 ist daher die Speicherschicht 3 als Ergebnis des erfindungsgemäßen Verfahrens durch Oxidschichten begrenzt. Alle Ränder der Speicherschicht sind daher in Oxid eingebettet, so dass ein Zusammenfließen der in den beiden Anteilen der Speicherschicht eingefangenen Ladungsträger nachhaltig verhindert ist. Mit diesem Verfahren können daher kleine Multi-Bit-Speicherzellen hergestellt werden, die eine erheblich höhere Lebensdauer als bisherige Speicherzellen dieser Art aufweisen.

[0021] Ein alternatives Verfahren, das eine erfindungsgemäße Speicherzelle mit geringfügig abgewandelter Struktur liefert, ist in den Fig. 7 bis 10 dargestellt. Dieses Verfahren geht ebenfalls von einem Halbleiterkörper 1 (Fig. 7) oder einer auf ein Substrat aufgewachsenen Schicht oder Schichtstruktur aus Halbleitermaterial aus. Damit das Halbleitermaterial die gewünschte Grunddotierung aufweist, ist ggf. eine p-Wanne oder eine n-Wanne durch Implantation von Dotierstoff in der erforderlichen Konzentration hergestellt. Darauf sind eine untere Oxidschicht 2 (bottom oxide) als untere Begrenzungsschicht, die für das Einfangen von Ladungsträgern vorgesehene Speicherschicht 3 und eine weitere Oxidschicht 4 (top oxide) als obere Begrenzungsschicht ganzflächig aufgebracht.

[0022] Eine Hilfsschicht 80, die z. B. Polysilizium sein kann, wird entsprechend den eingezeichneten Konturen zu einem restlichen Anteil über dem herzustellenden Kanalbereich 6 strukturiert. Unter Verwendung dieser Hilfsschicht 80 wird vorzugsweise zunächst eine Implantation von Dotierstoff vorgenommen, um LDD-Bereiche 61 (lightly doped drain) an den dem Kanalbereich zugewandten Rändern des Source-Bereiches und des Drain-Bereiches herzustellen. Damit werden dotierte Bereiche mit schwacher elektrischer Leitfähigkeit des zu der Grunddotierung entgegengesetzten Vorzeichens hergestellt. Diese Implantation erfolgt also im Fall einer p-Wanne für n<sup>-</sup>-Dotierung. In an sich bekannter

Weise wird vorzugsweise noch eine so genannte Pocket-Implantation 62 für den Leitfähigkeitstyp der Grunddotierung (im Beispiel p), allerdings mit etwas höherer Dotierstoffkonzentration, vorgenommen, um eine schärfere Begrenzung des Source-Bereiches bzw. Drain-Bereiches zu erhalten. Falls die Hilfsschicht 80 als Maske für diese Implantationen dient, wird sie anschließend isotrop rückgeätzt auf die in der Fig. 7 gestrichelt eingezeichneten Abmessungen. Da hierbei etwas an der Schichtdicke verloren geht, muss in die ursprüngliche Schichtdicke ein angemessener Vorhalt eingerechnet werden, um die korrekte Restschichtdicke zu erhalten. Falls auf die LDD- und Pocket-Implantationen verzichtet wird, wird die Hilfsschicht gleich in den Abmessungen der gestrichelt eingezeichneten Kontur strukturiert. [0023] In der Fig. 8 ist dargestellt, dass an den einander gegenüberliegenden Flanken der Hilfsschicht 80 an den Grenzen der herzustellenden Bereiche von Source und Drain Distanzelemente 90 (spacer) hergestellt werden. Diese Distanzelemente werden in an sich bekannter Weise hergestellt, indem zunächst ganzflächig eine Schicht aus dem betreffenden Material (z. B. aus Nitrid) isotrop in einer für die Weite der Distanzelemente vorgesehenen Schichtdicke aufgebracht wird und diese Schicht dann anisotrop rückgeätzt wird, bis die horizontalen Schichtanteile verschwunden sind und nur noch vertikale Schichtanteile übrig sind, die im Wesentlichen die ursprüngliche Schichtdicke aufweisen. Unter Verwendung dieser Distanzelemente 90 werden dann die eigentlichen Implantationen von Dotierstoff für den Source-Bereich 6a und den Drain-Bereich 6b eingebracht. Das Vorzeichen der Leitfähigkeit dieser Dotierungen ist entgegengesetzt zum Vorzeichen der Grunddotierung (im Beispiel n<sup>+</sup>). [0024] Die Hilfsschicht 80 wird dann entfernt, so dass nur die Distanzelemente 90 stehen bleiben. Unter Verwendung der Distanzelemente als Maske wird die in der Fig. 9 dargestellte Struktur hergestellt, indem die obere Oxidschicht 4 und die Speicherschicht 3 außerhalb der von den Distanzelementen bedeckten Bereiche entfernt werden. Nachdem die Distanzelemente 90 entfernt worden sind, bleiben auf der Oberseite der unteren Oxidschicht 2 nur die mit Oxid bedeckten restlichen Anteile der Speicherschicht. Diese Anteile befinden sich jeweils an der Grenze zwischen dem Kanalbereich und dem Source-Bereich bzw. Drain-Bereich, und zwar als Folge der Herstellungsweise den Source-Bereich bzw. Drain-Bereich und ein Ende des Kanalbereiches jeweils überlappend. [0025] Es wird eine Oxidschicht 13 hergestellt, die zumindest über dem Kanalbereich und über der Speicherschicht 3 ausgebildet wird, so dass die Speicherschicht vollständig von Oxid umgeben ist. Diese Oxidschicht 13 kann teils durch Reoxidation des Nitrids (insbesondere bei Verwendung von Silizium als Halbleitermaterial:  $2\text{Si}_3\text{N}_4 + 12\text{H}_2\text{O}$  liefert  $6\text{SiO}_2$ ), teils durch Abscheidung von Oxid (CVD-Oxid, chemical vapor deposition; insbesondere bei Verwendung von Silizium als Halbleitermaterial: thermische Oxidation aus TEOS, Tetraethylorthosilicat,  $\text{Si}(\text{OC}_2\text{H}_5)_4 + 12\text{O}_2$  liefert  $\text{SiO}_2$ ) hergestellt werden. Eine thermische Oxidation von Silizium hat zusätzlich den Vorteil, dass das Silizium über den von dem Kanalbereich abgewandten Anteilen der Bereiche von Source und Drain zu dickeren Oxidschichten 70 aufoxidiert werden kann. Die in Fig. 10 gezeichnete Struktur wird durch Aufbringen einer als Wortleitung und jeweilige Gate-Elektrode vorgesehenen Leiterbahn 12 vervollständigt. Diese Leiterbahn wird von Source über den Kanalbereich nach Drain verlaufend streifenförmig strukturiert, so dass die Leiterbahn seitlich durch vor und hinter der Zeichenebene zu denkenden Randflächen begrenzt ist. Der dadurch freigelegte Anteil der Speicherschicht wird ent-

fernt. Vorzugsweise werden abschließend die dadurch freigelegten Ränder der Speicherschicht in Oxid eingebettet, was zweckmäßig durch eine Reoxidation geschieht.

#### Patentansprüche

1. Verfahren zur Herstellung einer Speicherzelle, bei dem ein Source-Bereich (6a) und ein Drain-Bereich (6b) als dotierte Bereiche in einem Halbleiterkörper (1) oder in einer Schicht aus Halbleitermaterial durch einen Kanalbereich (6) voneinander getrennt ausgebildet werden, über diesen Bereichen eine für das Speichern von Ladungsträgern vorgesehene Speicherschicht (3) zwischen Begrenzungsschichten (2, 4) angeordnet wird, die Speicherschicht (3) mit Ausnahme von Bereichen, die sich an der Grenze zwischen dem Kanalbereich (6) und dem Source-Bereich (6a) bzw. der Grenze zwischen dem Kanalbereich (6) und dem Drain-Bereich (6b) befinden, entfernt wird, so dass die Speicherschicht (3) über Anteilen des Source-Bereiches (6a) und des Drain-Bereiches (6b) vorhanden und über dem Kanalbereich (6) unterbrochen ist, eine Gate-Elektrode (11) von dem Halbleitermaterial durch eine dielektrische Schicht (10) getrennt aufgebracht wird sowie freie Ränder der Speicherschicht (3) in Material eingebettet werden, das dem Material der Begrenzungsschichten (2, 4) gleichartig ist, dadurch gekennzeichnet, dass in einem ersten Schritt auf einem Halbleiterkörper (1) oder einer Schicht aus Halbleitermaterial eine Schichtfolge aus einer unteren Oxidschicht (2), einer Speicherschicht (3) und einer oberen Oxidschicht (4) hergestellt wird, in einem zweiten Schritt die obere Oxidschicht (4) und die Speicherschicht (3) außerhalb eines für eine Speicherzelle vorgesehenen Bereichs entfernt werden, in einem dritten Schritt eine für den Source-Bereich (6a) und den Drain-Bereich (6b) vorgesehene Implantation von Dotierstoff in das Halbleitermaterial vorgenommen wird, in einem vierten Schritt außerhalb des von der Speicherschicht (3) eingenommenen Bereichs eine Hilfsschicht (8) hergestellt wird, die im Bereich der Speicherschicht (3) eine Aussparung mit für den nachfolgenden fünften Schritt ausreichend steilen Flanken aufweist, in einem fünften Schritt in der Aussparung an den Flanken der Hilfsschicht (8) Distanzelemente (9) hergestellt werden, in einem sechsten Schritt zwischen den Distanzelementen (9) die obere Oxidschicht (4), die Speicherschicht (3) und die untere Oxidschicht (2) entfernt werden und die dielektrische Schicht (10) und die Gate-Elektrode (11) hergestellt und strukturiert werden und in einem siebten Schritt eine Leiterbahn (12) mit elektrisch leitender Verbindung zu der Gate-Elektrode (11) aufgebracht wird.
2. Verfahren nach Anspruch 1, bei dem in dem sechsten Schritt die dielektrische Schicht (10) auf dem Halbleiterkörper (1) oder der Schicht aus Halbleitermaterial und auf den Seiten der Distanzelemente (9) hergestellt wird.
3. Verfahren nach Anspruch 1 oder 2, bei dem zwischen dem sechsten Schritt und dem siebten Schritt freie Ränder der Speicherschicht (3) in Oxid eingebettet werden.
4. Verfahren zur Herstellung einer Speicherzelle, bei

dem ein Source-Bereich (6a) und ein Drain-Bereich (6b) als dotierte Bereiche in einem Halbleiterkörper (1) oder in einer Schicht aus Halbleitermaterial durch einen Kanalbereich (6) voneinander getrennt ausgebildet werden, 5

über diesen Bereichen eine für das Speichern von Ladungsträgern vorgesehene Speicherschicht (3) zwischen Begrenzungsschichten (2, 4) angeordnet wird, die Speicherschicht (3) mit Ausnahme von Bereichen, die sich an der Grenze zwischen dem Kanalbereich (6) 10 und dem Source-Bereich (6a) bzw. der Grenze zwischen dem Kanalbereich (6) und dem Drain-Bereich (6b) befinden, entfernt wird, so dass die Speicherschicht (3) über Anteilen des Source-Bereiches (6a) und des Drain-Bereiches (6b) vorhanden und über dem 15 Kanalbereich (6) unterbrochen ist,

eine Gate-Elektrode (11) von dem Halbleitermaterial durch eine dielektrische Schicht (10) getrennt aufgebracht wird sowie freie Ränder der Speicherschicht (3) in Material eingebettet werden, das dem Material der 20 Begrenzungsschichten (2, 4) gleichartig ist, dadurch gekennzeichnet, dass

in einem ersten Schritt auf einem Halbleiterkörper (1) oder einer Schicht aus Halbleitermaterial eine Schichtfolge aus einer unteren Oxidschicht (2), einer Speicherschicht (3) und einer oberen Oxidschicht (4) hergestellt wird, 25

in einem zweiten Schritt darauf eine Hilfsschicht (80) hergestellt und mit Ausnahme eines Anteils über einem Bereich des vorgesehenen Kanalbereiches (6) entfernt 30 wird, so dass der übrig bleibende Anteil der Hilfsschicht (80) für den nachfolgenden Schritt ausreichend steile Flanken besitzt,

in einem dritten Schritt an zwei einander gegenüberliegenden Flanken der Hilfsschicht (80) Distanzelemente 35 (90) hergestellt werden,

in einem vierten Schritt unter Verwendung der Distanzelemente (90) als Masken Dotierstoff zur Ausbildung eines Source-Bereiches (6a) und eines Drain-Bereiches (6b) in das Halbleitermaterial eingebracht wird, 40

in einem fünften Schritt die Hilfsschicht (80) entfernt wird,

in einem sechsten Schritt die von den Distanzelementen (90) frei gelassenen Anteile der oberen Oxidschicht (4) und der Speicherschicht (3) entfernt werden 45 und danach die Distanzelemente (90) entfernt werden,

in einem siebten Schritt eine dielektrische Schicht (10) hergestellt wird, die zumindest den Kanalbereich (6) und die Ränder der Speicherschicht (3) bedeckt,

in einem achten Schritt eine über den Kanalbereich (6) 50 verlaufende Leiterbahn (12) aufgebracht wird.

5. Verfahren nach Anspruch 4, bei dem in dem zweiten Schritt unter Verwendung des übrig bleibenden Anteils der Hilfsschicht (80) eine Implantation von Dotierstoff zur Ausbildung von LDD-Bereichen (61) und Pocket-Implantaten (62) erfolgt und anschließend die Hilfsschicht (80) isotrop rückgeätzt wird. 55

6. Verfahren nach Anspruch 4 oder 5, bei dem in einem neunten Schritt die Leiterbahn (12) strukturiert wird, so dass sie streifenförmig über den Source-Bereich (6a), den Kanalbereich (6) und den Drain-Bereich (6b) verläuft, und die seitlich zu der Leiterbahn (12) vorhandenen Anteile der Speicherschicht (3) dabei entfernt werden und in einem zehnten Schritt freie Ränder der Speicherschicht (3) in Oxid eingebettet werden. 65

FIG 4

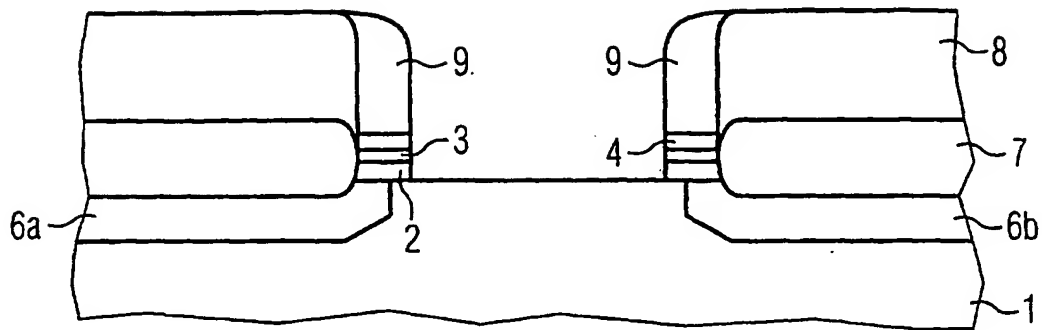


FIG 5

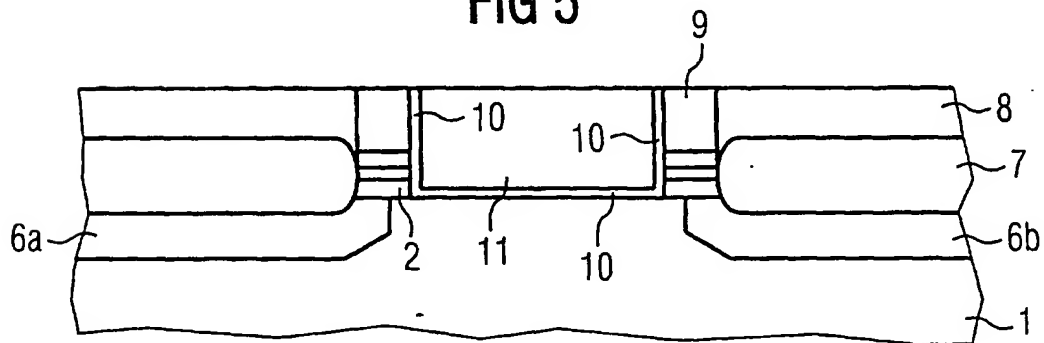


FIG 6

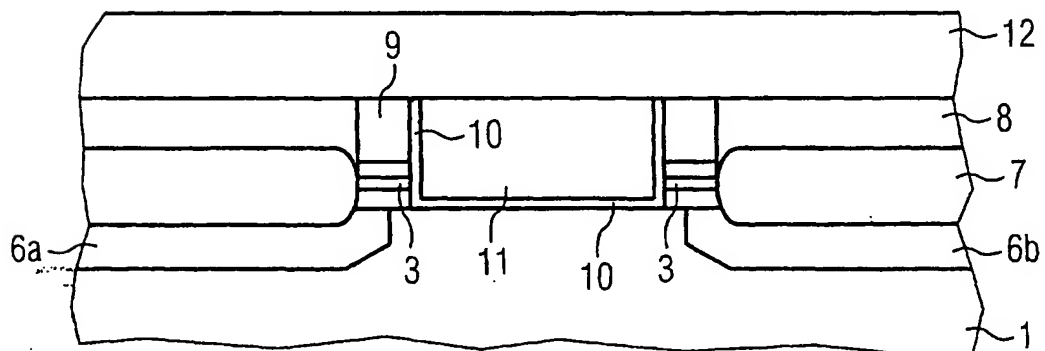


FIG 1

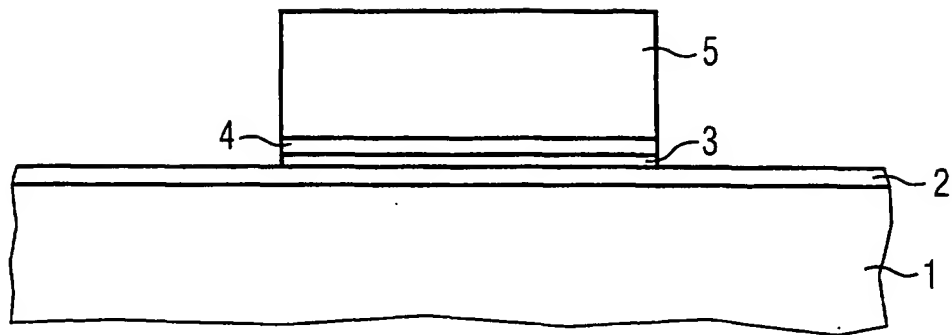


FIG 2

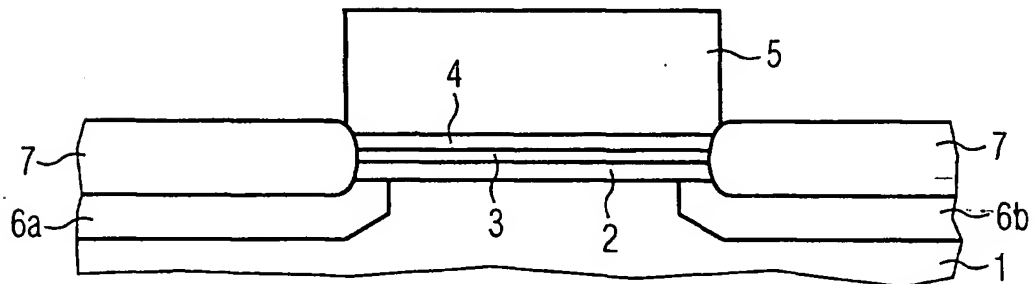


FIG 3

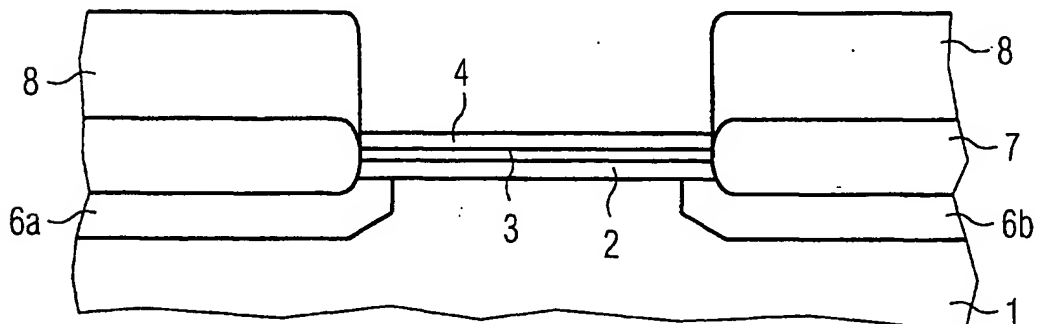


FIG 7

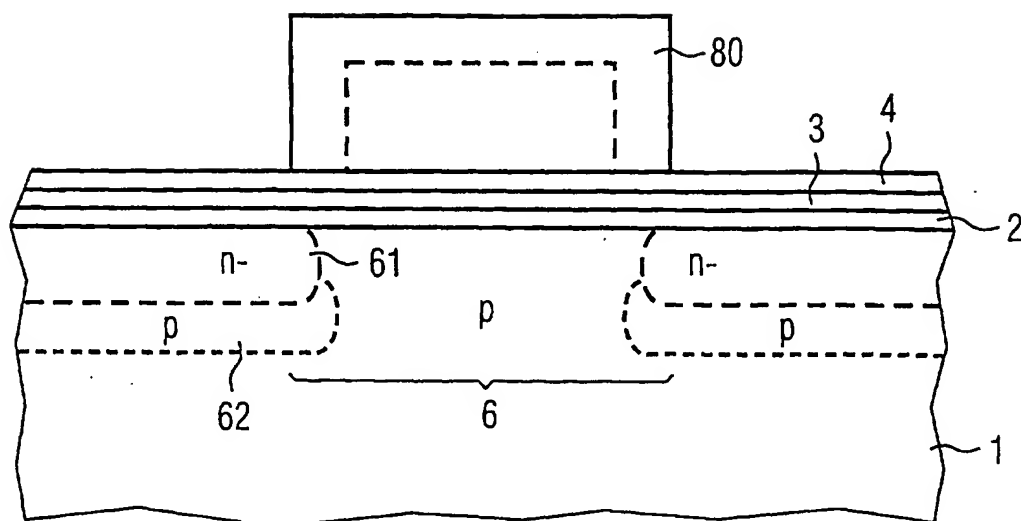


FIG 8

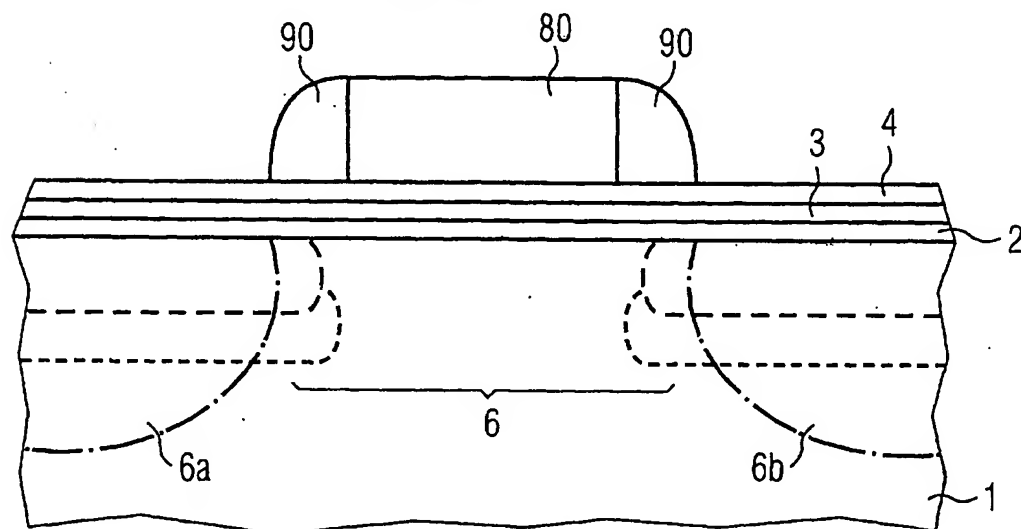




FIG 9

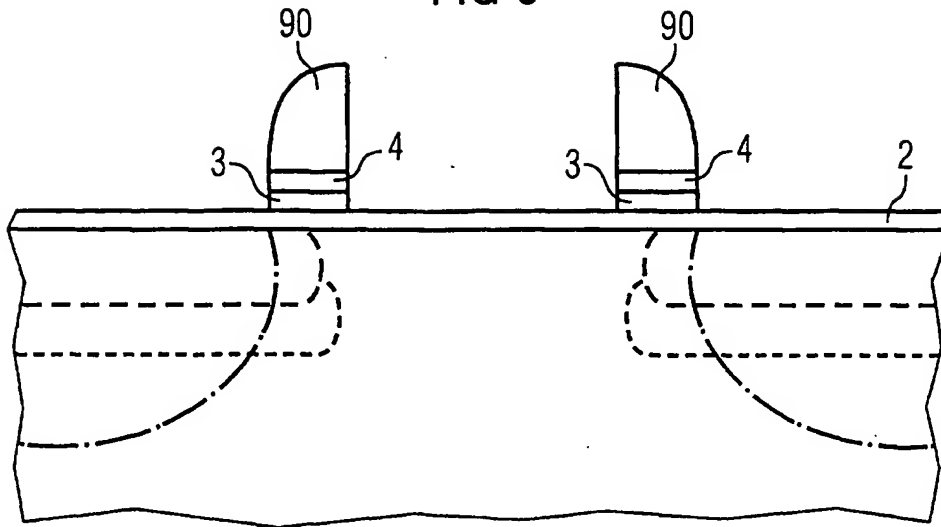


FIG 10

